

PATENT  
81788.0253  
Express Mail Label No. EV 325 216 831 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Yasuo OKADA

Serial No: Not assigned

Filed: July 15, 2003

For: MANUFACTURING METHOD OF  
SEMICONDUCTOR DEVICE AND  
SEMICONDUCTOR DEVICE

Art Unit: Not assigned

Examiner: Not assigned

**TRANSMITTAL OF PRIORITY DOCUMENT**

Mail Stop PATENT APPLICATION  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-210666 which was filed July 19, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: July 15, 2003

By: 

Anthony J. Orler  
Registration No. 41,232  
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900  
Los Angeles, California 90071  
Telephone: 213-337-6700  
Facsimile: 213-337-6701

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2002年 7月19日

出願番号  
Application Number:

特願2002-210666

[ ST.10/C ]:

[ JP 2002-210666 ]

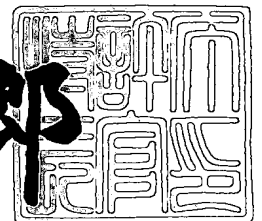
出願人  
Applicant(s):

株式会社東芝

2003年 6月24日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3049417

【書類名】 特許願

【整理番号】 13718501

【提出日】 平成14年 7月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置の製造方法、及び、半導体装置

【請求項の数】 12

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝  
マイクロエレクトロニクスセンター内

【氏名】 岡 田 裕 生

【特許出願人】

【識別番号】 000003078

【住所又は居所】 東京都港区芝浦一丁目1番1号

【氏名又は名称】 株式会社 東 芝

【代理人】

【識別番号】 100075812

【弁理士】

【氏名又は名称】 吉 武 賢 次

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橋 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【選任した代理人】

【識別番号】 100107582

【弁理士】

【氏名又は名称】 関 根 毅

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法、及び、半導体装置

【特許請求の範囲】

【請求項 1】

半導体基板に埋め込み絶縁膜を形成する工程と、  
前記埋め込み絶縁膜により素子分離された、半導体素子を形成する工程と、  
前記半導体基板の表面側を、クリーニング液によりクリーニングする工程と、  
前記クリーニングをする工程の前に、前記埋め込み絶縁膜の表面側を、前記クリーニング液に対して耐性を有する保護膜で覆う工程と、  
を備えることを特徴とする半導体装置の製造方法。

【請求項 2】

前記クリーニング液は、弗酸系の溶液である、ことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記弗酸系の溶液は、フッ化水素（HF）、又は、フッ化アンモニウム（NH<sub>4</sub>F）の溶液である、ことを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】

前記保護膜は、弗酸系の溶液に耐性を有する材料で形成されている、ことを特徴とする請求項 2 又は請求項 3 に記載の半導体装置の製造方法。

【請求項 5】

前記保護膜は、シリコン窒化膜により形成されている、ことを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の半導体装置の製造方法。

【請求項 6】

前記半導体素子は、MISFETであり、前記MISFETのゲート電極の側壁部分に、サイドウォールを形成する工程をさらに備えるとともに、

前記サイドウォールと前記保護膜は同一の材料で形成されている、ことを特徴とする請求項 1 乃至請求項 5 のいずれかに記載の半導体装置の製造方法。

【請求項 7】

前記クリーニングをする工程の後に、前記M I S F E Tのゲート電極とソース拡散層とドレイン拡散層とに、サリサイドメタル層を形成する工程を、さらに備えることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】

半導体基板に形成された、埋め込み絶縁膜と、  
前記埋め込み絶縁膜により素子分離された、半導体素子と、  
前記埋め込み絶縁膜の表面側全体を覆うが、前記半導体素子におけるサリサイドメタル層を形成する領域は少なくとも覆わない、弗酸系の溶液に対して耐性を有する材料により形成された、保護膜と、  
を備えることを特徴とする半導体装置。

【請求項9】

半導体基板に形成された、埋め込み絶縁膜と、  
前記埋め込み絶縁膜により素子分離された、M I S F E Tと、  
前記埋め込み絶縁膜の表面側全体を覆う、弗酸系の溶液に対して耐性を有する材料により形成された、保護膜とを備え、  
前記M I S F E Tのソース／ドレイン拡散層に形成されたサリサイドメタル層は、前記保護膜に対して、自己整合的に形成されている、ことを特徴とする半導体装置。

【請求項10】

前記保護膜は、シリコン窒化膜により形成されている、ことを特徴とする請求項8又は請求項9に記載の半導体装置。

【請求項11】

前記半導体素子は、M I S F E Tであるとともに、  
前記M I S F E Tのゲート電極の側壁部分に形成された、前記保護膜と同一材料のサイドウォールを、さらに備えることを特徴とする請求項8に記載の半導体装置。

【請求項12】

前記M I S F E Tのゲート電極の側壁部分に形成された、前記保護膜と同一材料のサイドウォールを、さらに備えることを特徴とする請求項9に記載の半導体

装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法、及び、半導体装置に関し、特に、良好な特性を有する半導体素子を形成する半導体装置の製造方法、及び、半導体装置に関する。

【0002】

【従来の技術】

近年の半導体装置においては、ポリシリコン配線及び拡散層の低抵抗化を図るために、これらの表面側にサリサイドメタル層が形成されている。このサリサイドメタル層を形成する場合には、ポリシリコン配線及び配線層に、均一なサリサイドメタル層を形成することが求められている。このようなサリサイドメタル層を形成するための製造工程は、例えば、特開平 8 - 2 5 0 7 1 6 号に開示されている。

【0003】

図 1 乃至図 3 に基づいて、特開平 8 - 2 5 0 7 1 6 号などに開示されている、従来の半導体装置の製造工程を説明する。図 1 は、サリサイドメタル層を形成する前における従来の半導体装置の断面を示す図であり、図 2 は、サリサイドメタル層を形成した後における従来の半導体装置の断面を示す図である。図 3 は、図 2 の平面図である。

【0004】

図 1 に示すように、サリサイドメタル層を形成する前に、均一なサリサイドメタル層を形成するために、希 HF によりクリーニングを行う。すなわち、 $P^+$  拡散層 10、10 の表面、 $N^+$  拡散層 12、12 の表面、及び、ポリシリコン層により構成されたゲート電極 14 の表面に形成された自然酸化膜及び異物の除去を行う。

【0005】

次に、図 2 に示すように、 $P^+$  拡散層 10、10 の表面、 $N^+$  拡散層 12、1

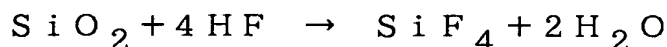
2の表面、及び、ポリシリコン層により構成されたゲート電極14の表面に、サリサイドメタル層を形成する。

【0006】

【発明が解決しようとする課題】

しかしながら、従来の製造方法では、希HFでのクリーニング処理中に、素子分離用の埋め込み絶縁膜20を形成するシリコン酸化膜( $\text{SiO}_2$ )が、希HFにより溶け出してしまうという問題があった。すなわち、次の化学式のように $\text{SiO}_2$ とHFが反応し、水ガラスが析出してしまうという問題があった。

【0007】



特に図3に示すように、この析出した水ガラス30が、 $\text{P}^+$ 拡散層10、10の表面、 $\text{N}^+$ 拡散層12、12の表面、及び、ポリシリコン層により構成されたゲート電極14の表面に付着した場合、この水ガラス30がマスク材のように働いてしまう。このため、図2に示すように、水ガラス30の部分にサリサイドメタル層が形成されなくなってしまう、均一なサリサイドメタル層を得ることができなくなってしまう。均一なサリサイドメタル層が形成されなくなると、 $\text{P}^+$ 拡散層10、10、 $\text{N}^+$ 拡散層12、12、及び、ポリシリコン層により構成されたゲート電極14の抵抗が増加し、半導体素子としてのMISFETの特性を悪化させてしまう。

【0008】

また、図2に示す半導体装置においては、埋め込み絶縁膜20の高さと、ゲート電極14の高さが異なっており、両者の間に段差が生じている。このため、この上に層間絶縁膜を形成した場合に、その層間絶縁膜の平坦性が悪化するという問題もある。

【0009】

そこで本発明は、前記課題に鑑みてなされたものであり、均一なサリサイドメタル層が形成されて、良好な特性の半導体素子を有する半導体装置の製造方法及び半導体装置を提供することを目的とする。また、層間絶縁膜の平坦性を容易に



確保することのできる半導体装置の製造方法及び半導体装置を提供することを目的とする。

#### 【 0 0 1 0 】

##### 【課題を解決するための手段】

上記課題を解決するため、本発明に係る半導体装置の製造方法は、半導体基板に埋め込み絶縁膜を形成する工程と、前記埋め込み絶縁膜により素子分離された、半導体素子を形成する工程と、前記半導体基板の表面側を、クリーニング液によりクリーニングする工程と、前記クリーニングをする工程の前に、前記埋め込み絶縁膜の表面側を、前記クリーニング液に対して耐性を有する保護膜で覆う工程と、を備えることを特徴とする。

#### 【 0 0 1 1 】

本発明に係る半導体装置は、半導体基板に形成された、埋め込み絶縁膜と、前記埋め込み絶縁膜により素子分離された、半導体素子と、前記埋め込み絶縁膜の表面側全体を覆うが、前記半導体素子におけるサリサイドメタル層を形成する領域は少なくとも覆わない、弗酸系の溶液に対して耐性を有する材料により形成された、保護膜と、を備えることを特徴とする。

#### 【 0 0 1 2 】

本発明に係る半導体装置は、半導体基板に形成された、埋め込み絶縁膜と、前記埋め込み絶縁膜により素子分離された、M I S F E Tと、前記埋め込み絶縁膜の表面側全体を覆う、弗酸系の溶液に対して耐性を有する材料により形成された、保護膜とを備え、前記M I S F E Tのソース／ドレイン拡散層に形成されたサリサイドメタル層は、前記保護膜に対して、自己整合的に形成されている、ことを特徴とする。

#### 【 0 0 1 3 】

##### 【発明の実施の形態】

##### 〔第 1 実施形態〕

本発明の第 1 実施形態は、希 H F によりこの半導体装置をクリーニングする前に、少なくとも埋め込み絶縁膜の表面側を希 H F に対して耐性のある保護膜で覆うことにより、希 H F によるクリーニングの際に、埋め込み絶縁膜が溶け出して

しまうのを回避したものである。より詳しくを、以下に説明する。

【 0 0 1 4 】

まず、図4に示すように、例えばシリコンから構成された半導体基板100に、埋め込み絶縁膜102を形成する。本実施形態においては、この埋め込み絶縁膜102は、シリコン酸化膜( $\text{SiO}_2$ )により形成される。また、本実施形態においては、この埋め込み絶縁膜102は、STI製造プロセスにより、形成される。続いて、この半導体基板100の表面側にヒ素等の不純物イオンを打ち込むことにより、N型のウェル110を形成し、半導体基板100の表面側にボロン等の不純物イオンを打ち込むことにより、P型のウェル112とを形成する。

【 0 0 1 5 】

次に、図5に示すように、この半導体基板100の表面に、シリコン酸化膜等の絶縁膜と、ポリシリコン層とを形成し、これら絶縁膜とポリシリコン層をRIE (Reactive Ion Etching) により、所定のパターンにエッチングすることにより、ゲート絶縁膜114、116とゲート電極120、122を形成する。続いて、P型のウェル112の領域、及び、N型のウェル110の所定の領域をレジスト等で覆い、ボロン等の不純物イオンを打ち込むことにより、 $\text{P}^+$ 拡散層130、130を形成する。これら $\text{P}^+$ 拡散層130、130の一方がソース拡散層となり、他方がドレイン拡散層となる。続いて、これとは反対に、N型のウェル110の領域、及び、P型のウェル112の所定の領域をレジスト等で覆い、ヒ素等の不純物イオンを打ち込むことにより、 $\text{N}^+$ 拡散層132、132を形成する。これら $\text{N}^+$ 拡散層132、132の一方がソース拡散層となり、他方がドレイン拡散層となる。これにより、LDD構造 (Lightly Doped Drain Structure) のP型のMISFETと、N型のMISFETとが、形成される。

【 0 0 1 6 】

次に、図6に示すように、この半導体基板100の表面に、絶縁膜140を形成する。本実施形態においては、この絶縁膜140は、シリコン窒化膜( $\text{SiN}$ )により形成されている。続いて、この埋め込み絶縁膜102の上部を覆うように、絶縁膜140上に、レジスト142をパターニングして形成する。

【 0 0 1 7 】

次に、図 7 に示すように、R I E により絶縁膜 1 4 0 をエッチングすることにより、ゲート電極 1 2 0、1 2 2 の側壁部分に、サイドウォール 1 5 0、1 5 2 を形成するとともに、埋め込み絶縁膜 1 0 2 上に、この埋め込み絶縁膜 1 0 2 の表面側全体を覆う保護膜 1 5 4 を形成する。すなわち、絶縁膜 1 4 0 をエッチバックすることにより、自己整合的に、サイドウォール 1 5 0、1 5 2 を形成する。また、レジスト 1 4 2 で覆われた部分にある絶縁膜 1 4 0 を、エッチングで残すことにより、保護膜 1 5 4 を形成する。この保護膜 1 5 4 は、埋め込み絶縁膜 1 0 2 の表面側全体を覆うが、後述するサリサイドメタル層を形成する領域は少なくとも覆わないように、形成する。続いて、希 H F でクリーニングすることにより、この半導体基板 1 0 0 の表面側にある自然酸化膜や異物の除去を行う。この希 H F でのクリーニングの際には、埋め込み絶縁膜 1 0 2 は、保護膜 1 5 4 で覆われているので、 $\text{SiO}_2$  の溶解を抑えることができ、水ガラスの生成を抑えることができる。

## 【0018】

次に、図 8 に示すように、ゲート電極 1 2 0、1 2 2 のポリシリコン層の表面側と、拡散層 1 3 0、1 3 2 の表面側とに、サリサイドメタル層 1 6 0、1 6 2、1 7 0、1 7 2 を形成する。本実施形態においては、サリサイドメタル層 1 6 0、1 6 2、1 7 0、1 7 2 は、次のように形成する。すなわち、この半導体基板 1 0 0 の表面側に、高融点金属膜を形成する。この高融点金属膜は、例えば、Ti、Mo、W、Ni 等から形成される。この高融点金属膜を形成する際には、上述したように水ガラスが生成されていないので、均一な高融点金属膜を形成することが可能になる。そして、熱処理を施すことにより、ゲート電極 1 2 0、1 2 2 の表面側に、自己整合的に、サリサイドメタル層 1 6 0、1 7 0 を形成し、拡散層 1 3 0、1 3 2 の表面側に、保護膜 1 5 4 に対して自己整合的に、サリサイドメタル層 1 6 2、1 7 2 を形成する。

## 【0019】

次に、図 9 に示すように、この半導体基板 1 0 0 の表面に、全体的に、シリコン酸化膜を形成する。この際、保護膜 1 5 4 が形成されているので、ゲート電極 1 2 0、1 2 2 と埋め込み絶縁膜 1 0 2 との段差が抑えられており、このため、

シリコン酸化膜の平坦性が向上する。続いて、シリコン酸化膜をCMP (Chemical Mechanical Polishing) により平坦化することにより、層間絶縁膜180とする。

#### 【0020】

以上のように、本実施形態に係る半導体装置によれば、希HFによるクリーニングの前に、埋め込み絶縁膜102を保護膜154で覆うこととしたので、クリーニング処理の際に、埋め込み絶縁膜102から水ガラスが析出してしまうのを回避することができる。このため、均一なサリサイドメタル層160、162、170、172を形成することができ、MISFETの特性を良好に保つことができる。

#### 【0021】

また、埋め込み絶縁膜102を保護膜154で覆うことにより、埋め込み絶縁膜102とゲート電極120、122との間の段差を小さくすることができるので、この上に層間絶縁膜を形成した場合の平坦性を向上させることができる。

#### 【0022】

さらに、保護膜154の材料は、サイドウォール150、152の材料と同じ絶縁膜140であるので、新たな成膜工程を増加することなく、この保護膜154を得ることができる。

#### 【0023】

##### 〔第2実施形態〕

本発明の第2実施形態は、上述した第1実施形態の保護膜154を、拡散層130、132側に大きく張り出して形成することにより、MISFETの寄生容量を増加させたものである。より詳しくを、以下に説明する。

#### 【0024】

本実施形態に係る半導体装置の製造方法は、図4及び図5までは、上述した第1実施形態と同様である。但し、レジスト142の大きさが、上述した第1実施形態と異なる。すなわち、図10に示すように、レジスト242を絶縁膜140上に形成するが、このレジスト242の大きさは、埋め込み絶縁膜102上のみならず、 $P^+$ 拡散層130及び $N^+$ 拡散層132上まで張り出して、大きく形成

される。

#### 【 0 0 2 5 】

次に、図 1 1 に示すように、R I E により絶縁膜 1 4 0 をエッチングすることにより、ゲート電極 1 2 0、1 2 2 の側壁部分に、サイドウォール 1 5 0、1 5 2 を形成するとともに、埋め込み絶縁膜 1 0 2 上に、この埋め込み絶縁膜 1 0 2 並びに拡散層 1 3 0、1 3 2 の一部を覆う保護膜 2 5 4 を形成する。すなわち、絶縁膜 1 4 0 をエッチバックすることにより、自己整合的に、サイドウォール 1 5 0、1 5 2 を形成する。また、レジスト 2 4 2 で覆われた部分にある絶縁膜 1 4 0 をエッチングで残すことにより、保護膜 2 5 4 を形成する。この保護膜 2 5 4 は、埋め込み絶縁膜 1 0 2 の表面側全体、及び、拡散層 1 3 0、1 3 2 の一部を覆うが、後述するサリサイドメタル層を形成する領域は少なくとも覆わないように、形成する。続いて、希 H F でクリーニングすることにより、この半導体基板 1 0 0 の表面側にある自然酸化膜や異物の除去を行う。本実施形態においても、この希 H F でのクリーニングの際には、埋め込み絶縁膜 1 0 2 は、保護膜 2 5 4 で覆われているので、 $\text{SiO}_2$  の溶解を抑えることができ、水ガラスの生成を抑えることができる。

#### 【 0 0 2 6 】

この後の製造工程は、上述した第 1 実施形態と同様である。すなわち、図 1 2 に示すように、ゲート電極 1 2 0、1 2 2 のポリシリコン層の表面側と、拡散層 1 3 0、1 3 2 の表面側とに、自己整合的に、サリサイドメタル層 1 6 0、1 6 2、1 7 0、1 7 2 を形成する。続いて、この半導体基板 1 0 0 の表面に、全体的に、シリコン酸化膜を形成する。この際、保護膜 2 5 4 が形成されているので、ゲート電極 1 2 0、1 2 2 と埋め込み絶縁膜 1 0 2 との段差が抑えられており、このため、シリコン酸化膜の平坦性が向上する。続いて、シリコン酸化膜を C M P (Chemical Mechanical Polishing) により平坦化することにより、層間絶縁膜 1 8 0 とする。

#### 【 0 0 2 7 】

以上のように、本実施形態に係る半導体装置によっても、埋め込み絶縁膜 1 0 2 を保護膜 2 5 4 で覆うことにより、クリーニング処理の際に、埋め込み絶縁膜

1 0 2 から水ガラスが析出してしまふのを回避することができ、均一なサリサイドメタル層 1 6 0、1 6 2、1 7 0、1 7 2 を形成することができる。このため、M I S F E T の特性を良好に保つことができる。

【 0 0 2 8 】

また、埋め込み絶縁膜 1 0 2 を保護膜 2 5 4 で覆うことにより、埋め込み絶縁膜 1 0 2 とゲート電極 1 2 0、1 2 2 との間の段差を小さくすることができるので、この上に層間絶縁膜を形成した場合の平坦性を向上させることができる。

【 0 0 2 9 】

さらに、保護膜 2 5 4 の材料は、サイドウォール 1 5 0、1 5 2 の材料と同じ絶縁膜 1 4 0 であるので、新たな成膜工程を増加することなく、この保護膜 2 5 4 を得ることができる。

【 0 0 3 0 】

しかも、拡散層 1 3 0、1 3 2 の一部までを覆うように、保護膜 2 5 4 を形成したので、この拡散層 1 3 0、1 3 2 がキャパシタとして機能して、M I S F E T の寄生容量を増加させることができる。例えば、図 1 3 に示すように、保護膜 2 5 4 を跨いで、拡散層 1 3 0 と拡散層 1 3 2 とを電氣的に接続する配線層 3 0 0 を形成したとする。この場合、配線層 3 0 0 と拡散層 1 3 0 との間にキャパシタ誘電体として保護膜 2 5 4 が挟まれることとなり、配線層 3 0 0 と拡散層 1 3 2 との間にもキャパシタ誘電体として保護膜 2 5 4 が挟まれることとなり、キャパシタを構成する。このため、2 つの M I S F E T の寄生容量を増加させることができ、M I S F E T の駆動能力を向上させることができる。

【 0 0 3 1 】

このため、例えば、図 1 4 に示すような S R A M セルに、本実施形態に係る M I S F E T を用いることにより、S R A M セルのデータ線駆動能力を向上させることができる。すなわち、図 1 3 における P 型の M I S F E T を Q P とし、N 型の M I S F E T を Q N とした場合、図 1 4 の S R A M セルにおいては、M I S F E T Q P 1 と M I S F E T Q N 1 から、1 つの相補的 M I S インバータが構成され、M I S F E T Q P 2 と M I S F E T Q N 2 から、もう 1 つの相補的 M I S インバータが構成される。M I S F E T Q N 3 及び M I S F E T Q N

4 は、データ読み出し線であるビット線 B L に接続する選択トランジスタである。これら M I S F E T Q N 3 及び M I S F E T Q N 4 のゲートは、ワード線 W L に接続されている。

#### 【 0 0 3 2 】

このような S R A M セルに、図 1 3 に示すような構成の相補的 M I S インバータを用いた場合、相補的 M I S インバータのデータ出力ノード N 1、N 2 に、それぞれ、キャパシタ C 1、C 2 が付加された構成になる。このため、データ出力ノード N 1、N 2 のビット線 B L に対する駆動能力を高めることができる。

#### 【 0 0 3 3 】

なお、本発明は上記実施形態に限定されず種々に変形可能である。例えば、上述した実施形態においては、図 7 及び図 1 1 において、半導体基板 1 0 0 表面側をクリーニングする際の溶液として、フッ化水素 (H F) の溶液を用いたが、フッ化アンモニウム ( $\text{NH}_4\text{F}$ ) などの他の弗酸系の溶液を用いることもできる。この場合、保護膜 1 5 4、2 5 4 は、弗酸系の溶液に対して耐性のある保護膜を使用すればよい。但し、酸化物に対するエッチングレートは、フッ化水素 (H F) が高いので、弗酸系の溶液の中でも、フッ化水素 (H F) の溶液が、クリーニング液として最も適している。

#### 【 0 0 3 4 】

さらには、図 7 及び図 1 1 において、半導体基板 1 0 0 表面側をクリーニングする際の溶液は、弗酸系の溶液に限られるものでもなく、同等のクリーニング作用を有する他のクリーニング液を使用することもできる。この場合、保護膜 1 5 4、2 5 4 は、この使用するクリーニング液に対して耐性のある保護膜を使用すればよい。

#### 【 0 0 3 5 】

また、上述した実施形態においては、埋め込み絶縁膜 1 0 2 で素子分離される半導体素子として、M I S F E T を例示したが、他の半導体素子を形成し、この埋め込み絶縁膜 1 0 2 で素子分離するようにしてもよい。

#### 【 0 0 3 6 】

#### 【発明の効果】

以上説明したように、本発明に係る半導体装置の製造方法、及び、半導体装置によれば、クリーニング液によるクリーニング処理をする前に、半導体基板に形成された埋め込み絶縁膜の表面側を保護膜で覆うようにしたので、このクリーニング処理の際に、埋め込み絶縁膜が溶解してしまうのを回避することができる。

【図面の簡単な説明】

【図 1】

従来の半導体装置の製造工程を説明する断面図（クリーニング処理）。

【図 2】

従来の半導体装置の製造工程を説明する断面図（サリサイドメタル層形成処理）。

【図 3】

図 2 の半導体装置の平面図。

【図 4】

本発明の第 1 実施形態に係る半導体装置の製造工程の一部を説明する断面図。

【図 5】

本発明の第 1 実施形態に係る半導体装置の製造工程の一部を説明する断面図。

【図 6】

本発明の第 1 実施形態に係る半導体装置の製造工程の一部を説明する断面図。

【図 7】

本発明の第 1 実施形態に係る半導体装置の製造工程の一部を説明する断面図。

【図 8】

本発明の第 1 実施形態に係る半導体装置の製造工程の一部を説明する断面図。

【図 9】

本発明の第 1 実施形態に係る半導体装置の製造工程の一部を説明する断面図。

【図 1 0】

本発明の第 2 実施形態に係る半導体装置の製造工程の一部を説明する断面図。

【図 1 1】

本発明の第 2 実施形態に係る半導体装置の製造工程の一部を説明する断面図。

【図 1 2】



本発明の第 2 実施形態に係る半導体装置の製造工程の一部を説明する断面図。

【図 1 3】

本発明の第 2 実施形態に係る半導体装置において、配線層を形成した場合の一例を説明するための断面図。

【図 1 4】

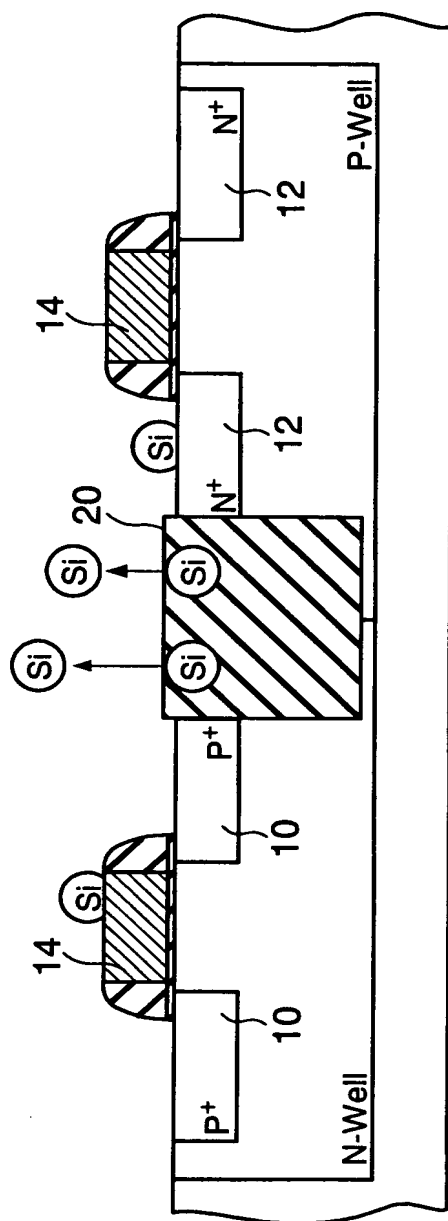
図 1 3 に示す M I S F E T を用いて S R A M セルを構成した場合の一例を説明するための回路図。

【符号の説明】

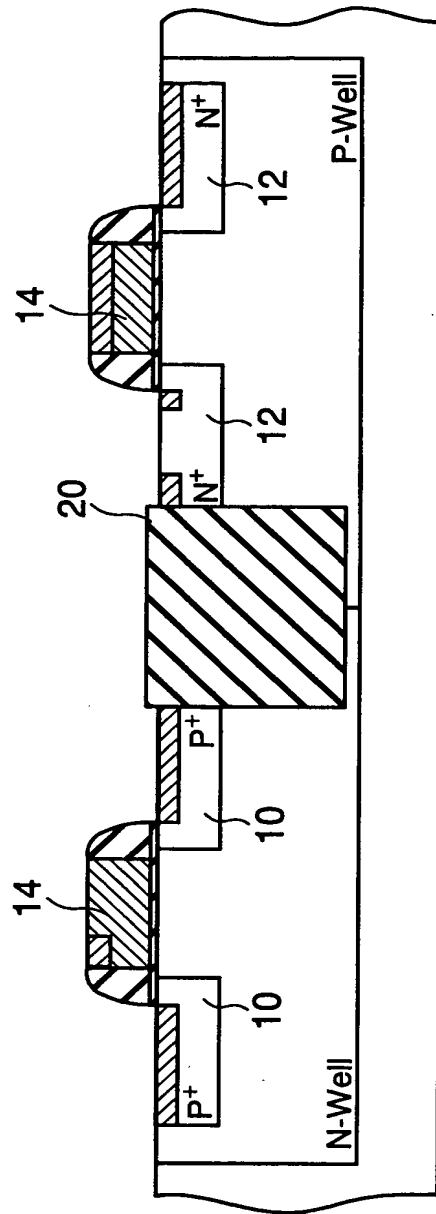
- 1 0 0 半導体基板
- 1 0 2 埋め込み絶縁膜
- 1 1 0 N 型のウェル
- 1 1 2 P 型のウェル
- 1 1 4、1 1 6 ゲート絶縁膜
- 1 2 0、1 2 2 ゲート電極
- 1 3 0 P<sup>+</sup> 拡散層
- 1 3 2 N<sup>+</sup> 拡散層
- 1 4 0 絶縁膜
- 1 5 0、1 5 2 サイドウォール
- 1 5 4 保護膜
- 1 6 0、1 6 2、1 7 0、1 7 2 サリサイドメタル層
- 1 8 0 層間絶縁膜

【書類名】 図面

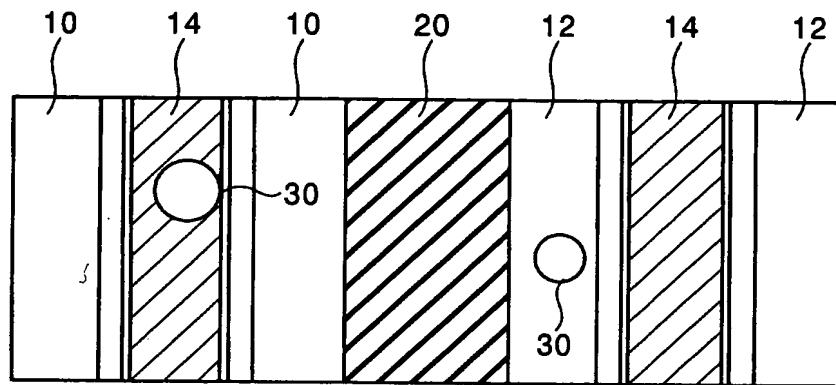
【図 1】



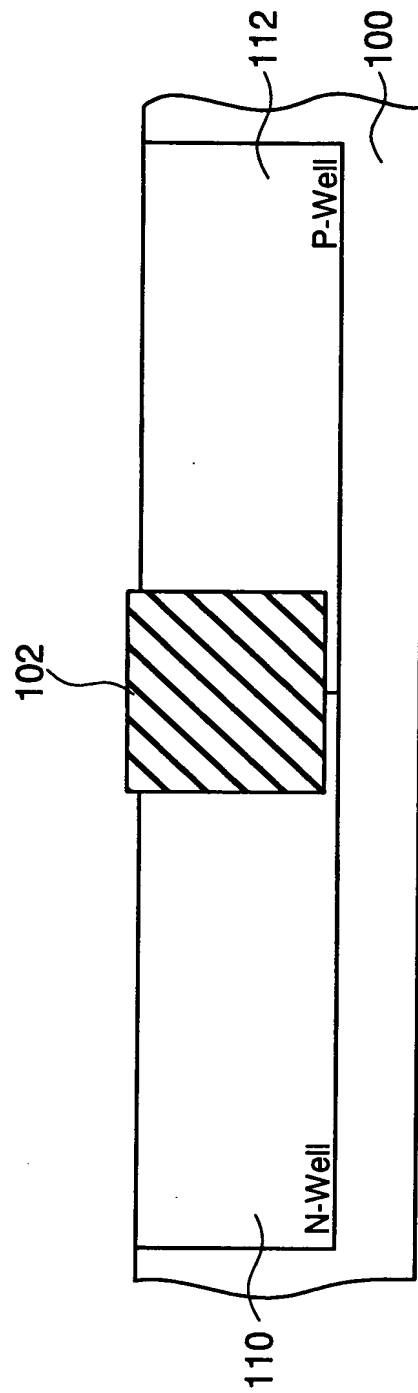
【図 2】



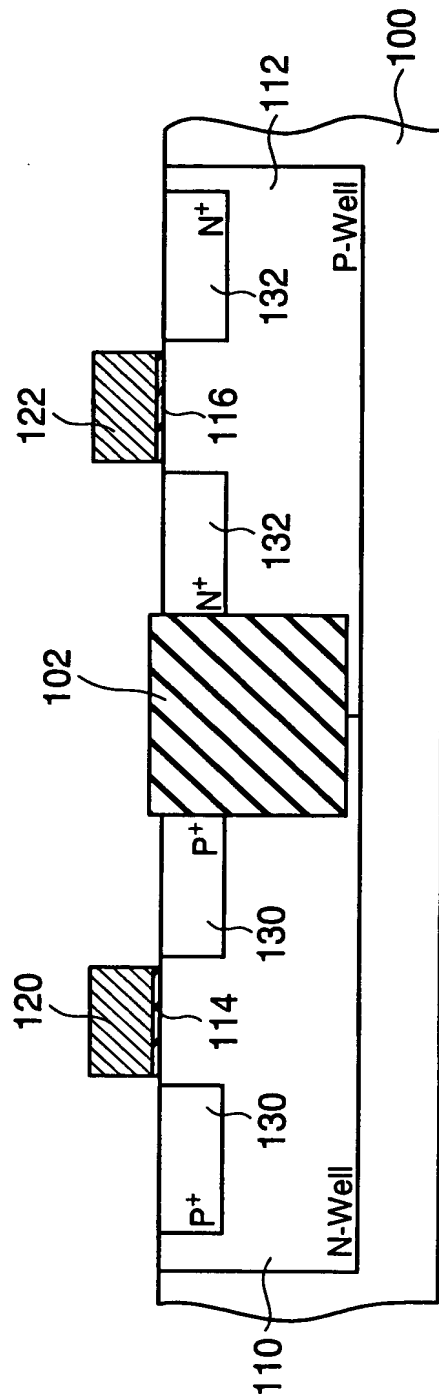
【図 3】



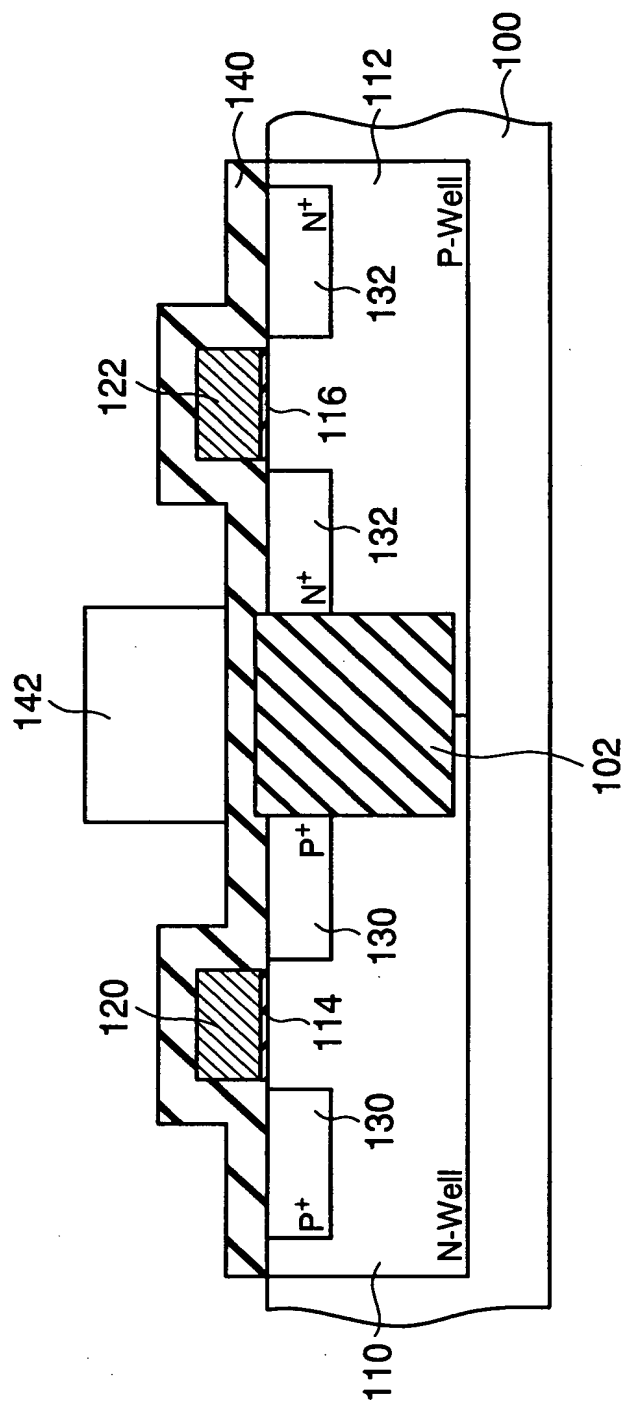
【図 4】



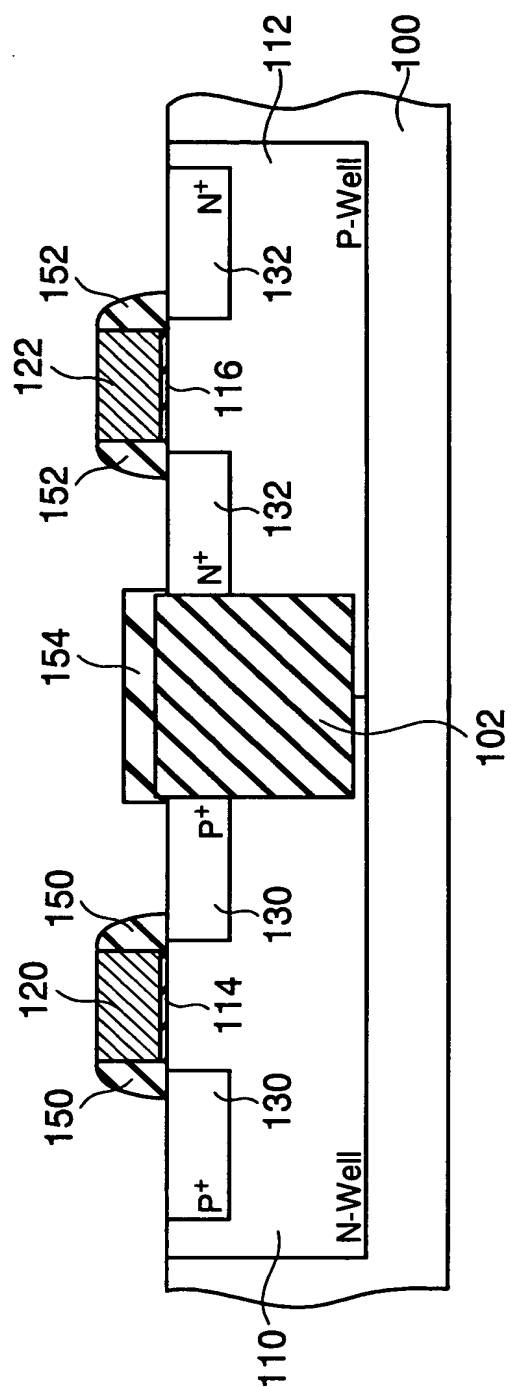
【図 5】



【図 6】

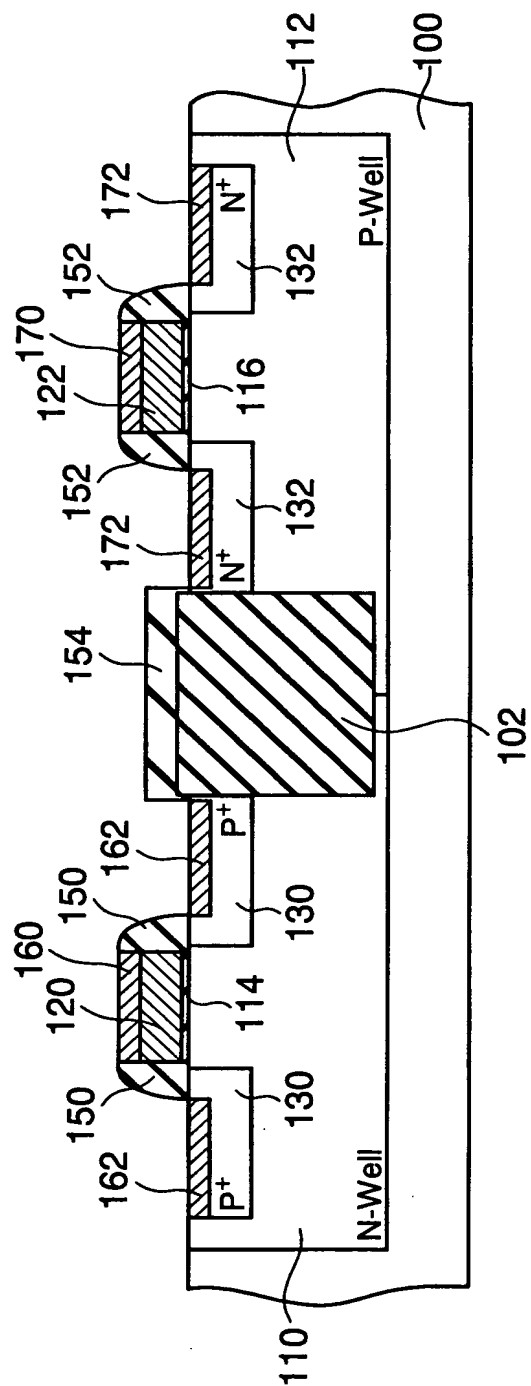


【图7】

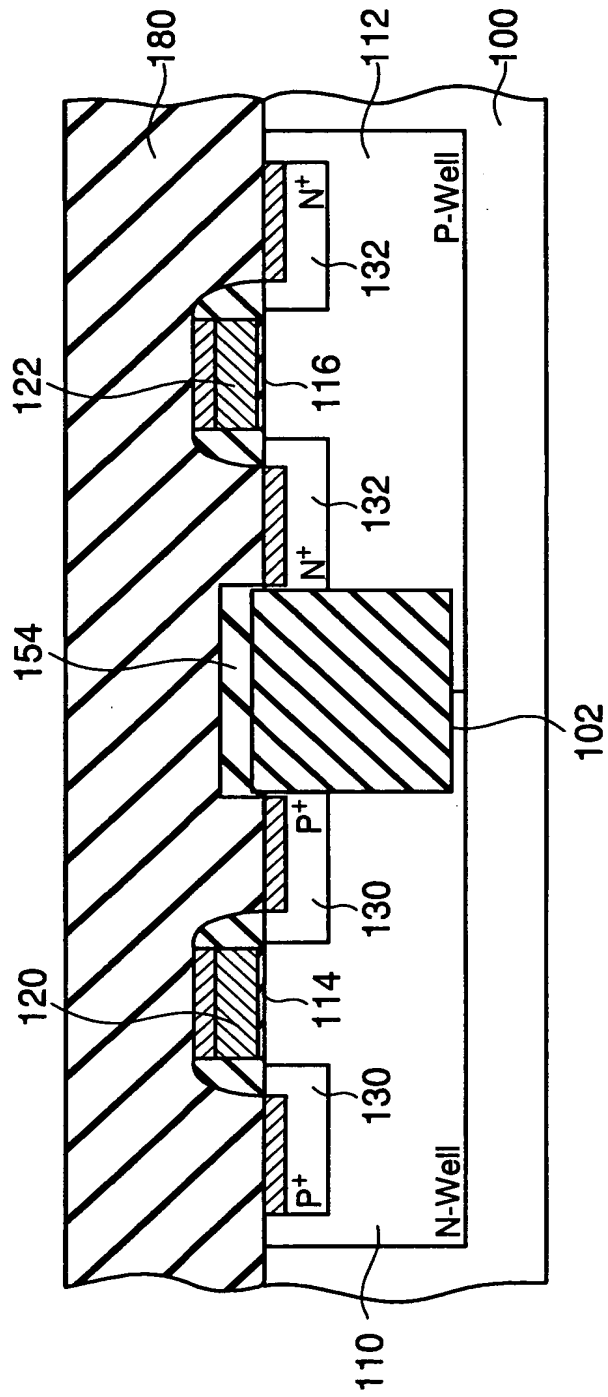




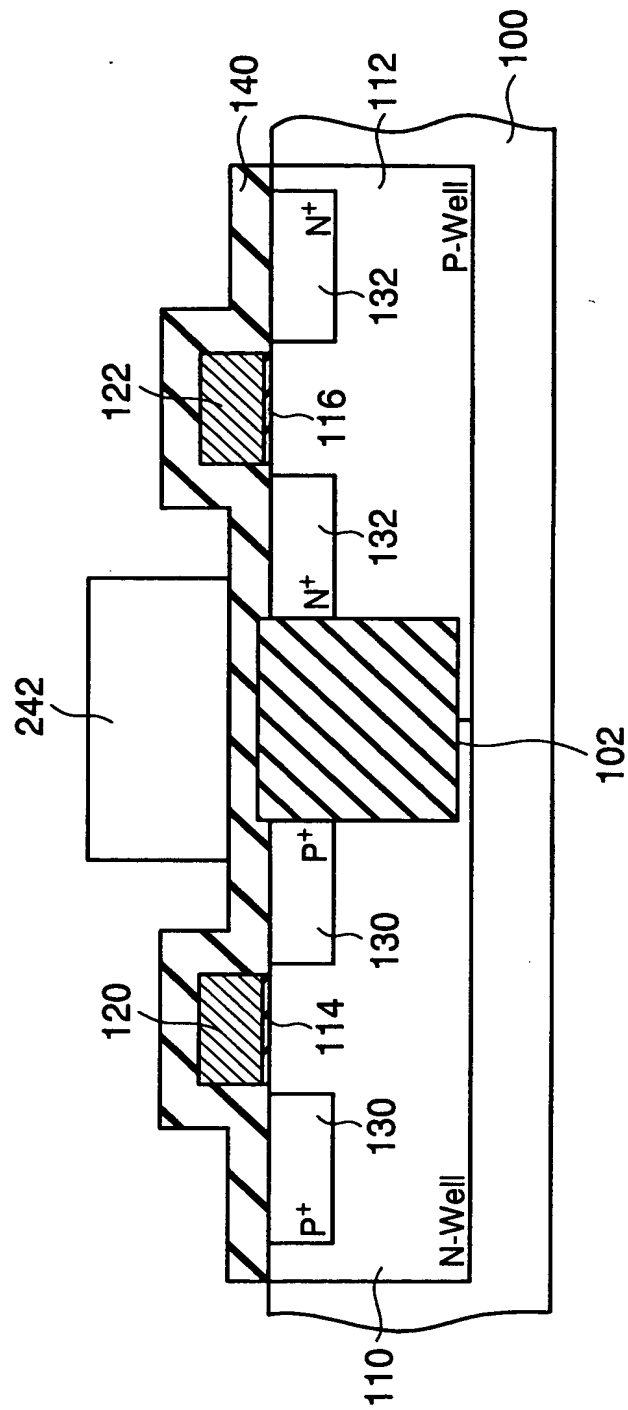
【図 8】



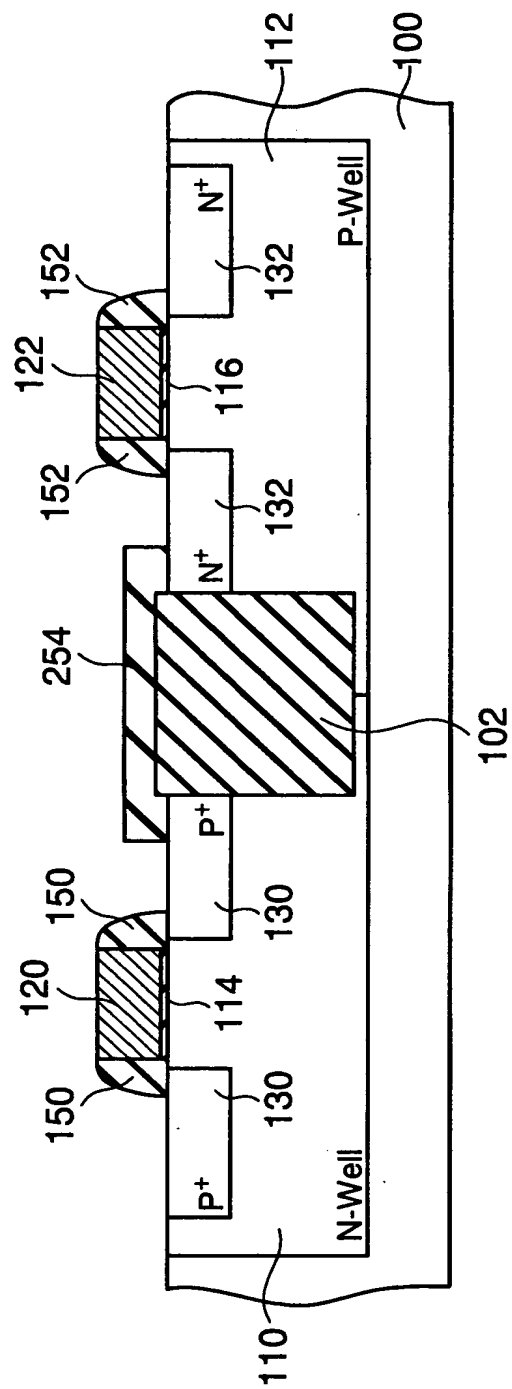
【図 9】



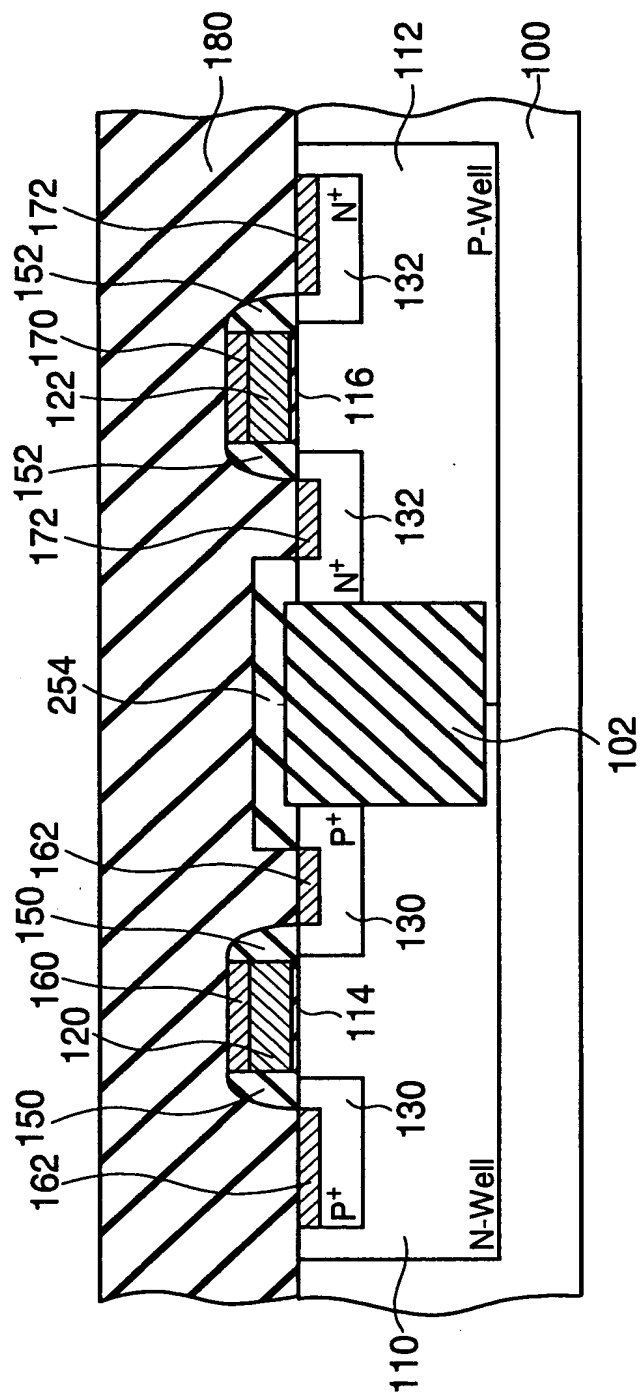
【図 10】



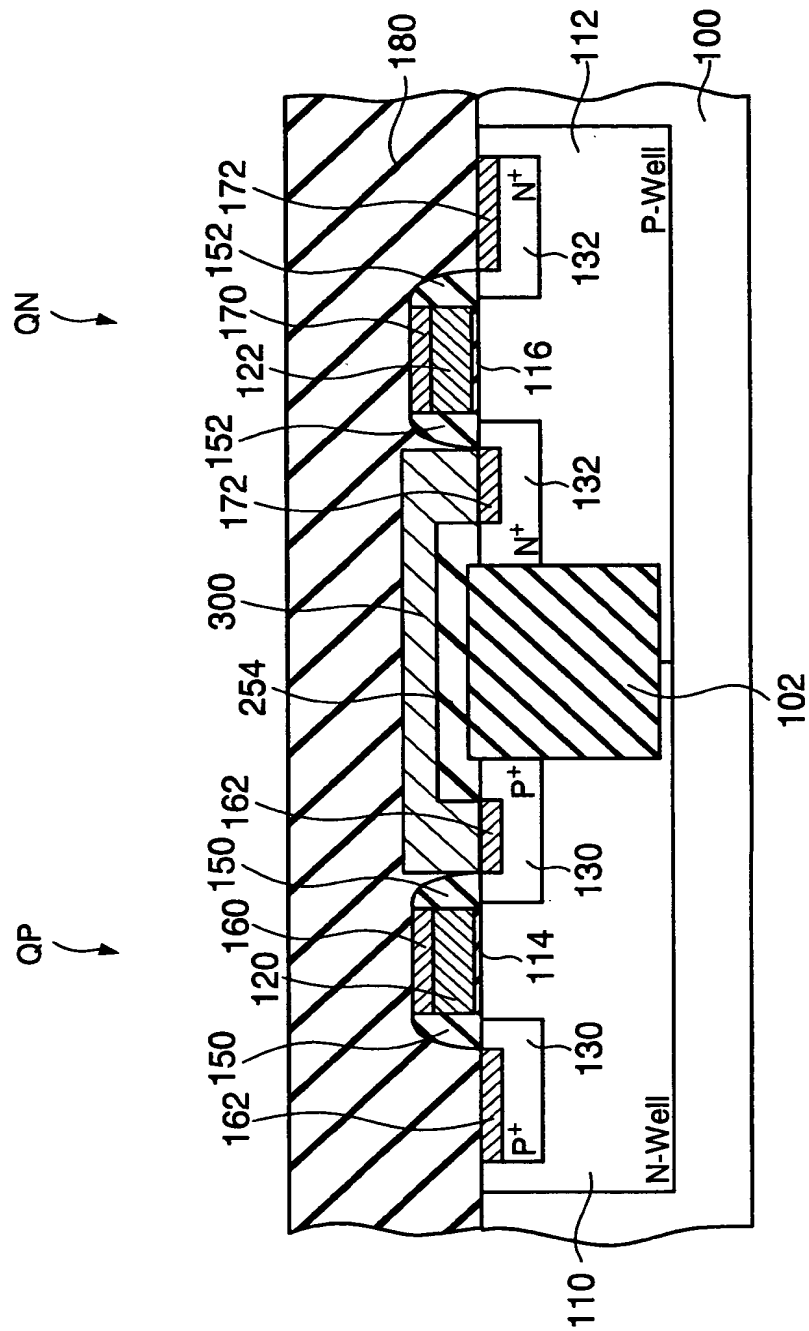
【図 11】



【图 12】



【图 13】





【書類名】 要約書

【要約】

【課題】 半導体素子の特性を向上させる。

【解決手段】 半導体基板 1 0 0 に形成された埋め込み絶縁膜 1 0 2 の表面側を、希 H F に対して耐性を有する材料の保護膜 1 5 4 で覆う。続いて、この半導体装置に対して、希 H F によるクリーニング処理を行う。このクリーニング処理の際には、埋め込み絶縁膜 1 0 2 は保護膜 1 5 4 で覆われているので、希 H F により埋め込み絶縁膜 1 0 2 が溶解する恐れを回避することができる。次に、ゲート電極 1 2 0、1 2 2 と拡散層 1 3 0、1 3 2 の表面側に、サリサイドメタル層 1 6 0、1 6 2、1 7 0、1 7 2 を形成する。これにより、均一なサリサイドメタル層 1 6 0、1 6 2、1 7 0、1 7 2 を得ることができる。

【選択図】 図 8



出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日  
[変更理由] 住所変更  
住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝
2. 変更年月日 2003年 5月 9日  
[変更理由] 名称変更  
住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝